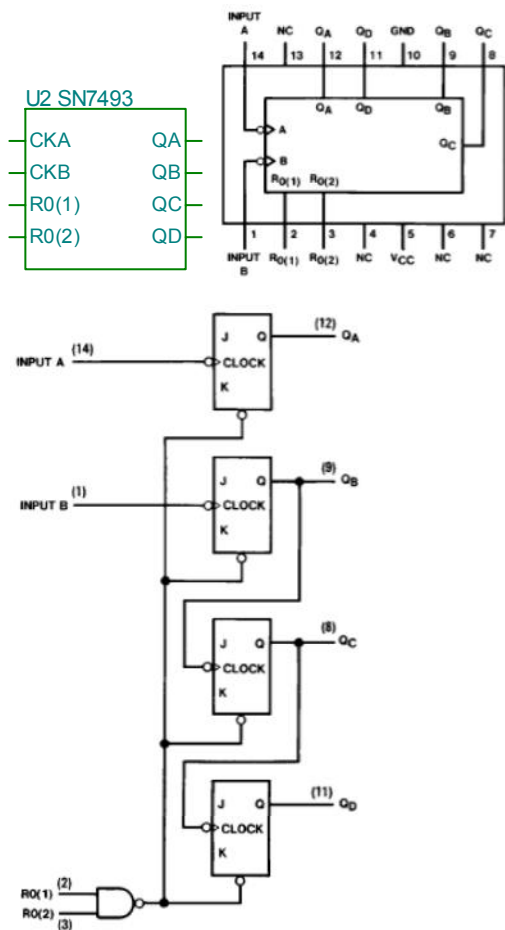


14. ΤΟ ΟΛΟΚΛΗΡΩΜΕΝΟ SN7493. ΑΣΥΓΧΡΟΝΟΣ ΔΥΑΔΙΚΟΣ ΜΕΤΡΗΤΗΣ 4 BITS

1. Εισαγωγή

Το σύμβολο του SN7493 στο TINA, βρίσκεται μέσα στην παλέτα Logic ICs-MCUs στην κατηγορία CTR (Counters). (Εικόνα 1)

Διαθέτει δύο ανεξάρτητες εισόδους τις A Input A και B. Η είσοδος Input-B δεν είναι μόνιμα συνδεδεμένη στην έξοδο του Q_D γεγονός που μας επιτρέπει τη χρησιμοποίηση των 3-FF μόνο, των A, B, C και έχουμε μετρητή 3 ψηφίων. Αν συνδέσουμε την έξοδο Q_D με την Input-B τότε έχουμε μετρητή 4 ψηφίων.



Εικόνα 1. Το σύμβολο του SN7493 στο TINA, βρίσκεται μέσα στην παλέτα Logic ICs-MCUs στην κατηγορία CTR (Counters).

Μια πύλη NAND δύο εισόδων συνδέεται στη γραμμή του Clear και μας επιτρέπει τον καθαρισμό των FF.

Με κατάλληλη σύνδεση των εξόδων του μετρητή στις εισόδους της μπορούμε να μετατρέψουμε το

μετρητή mod-16 σε μετρητή με επιθυμητό μέτρο mod.

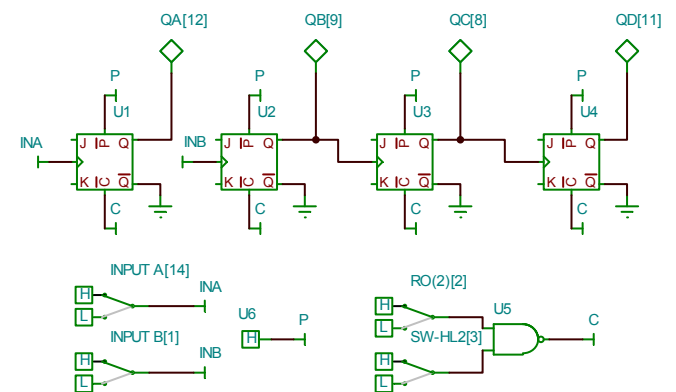
Για να έχουμε μέτρηση θα πρέπει τουλάχιστον μια από τις εισόδους R0(1) ή R0(2) να είναι σε δυναμικό μηδενισμό.

Reset Inputs		Outputs			
R0(1)	R0(2)	QD	QC	QB	QA
H	H	L	L	L	L
L	X	COUNT			
X	L	COUNT			

- Η έξοδος QA συνδέεται στην είσοδο B για μέτρηση BCD.
- Η έξοδος QD συνδέεται στην είσοδο A για δυαδική μέτρηση.
- Η έξοδος QA συνδέεται στην είσοδο B.

Πίνακας 1. Reset/Count Function Table.

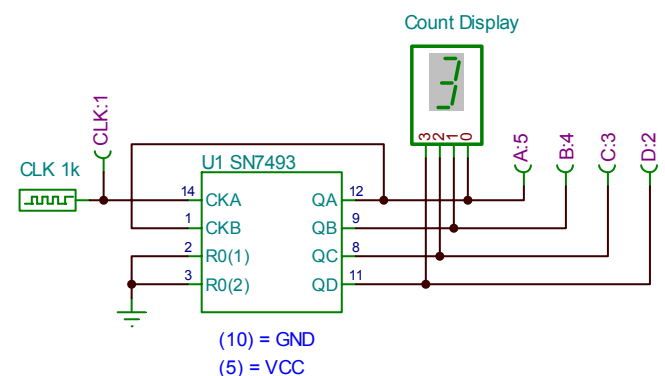
Στην **Εικόνα 2** βλέπουμε τη δομή του SN7493 υλοποιημένη στο TINA με Flip-Flops τύπου JK.



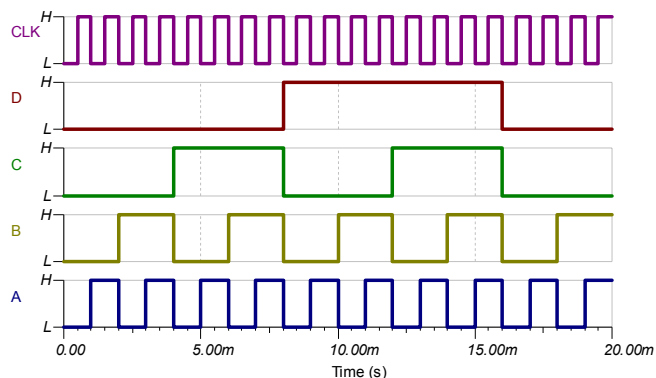
Εικόνα 2. Η δομή flip-flops του SN7493.

2. Δυαδικός μετρητής MOD-16

Εξηγήστε τη διαδικασία μέτρησης της επόμενης συνδεσμολογίας με βάση το διάγραμμα χρονισμού που ακολουθεί. (Εικόνα 3 και Εικόνα 4)



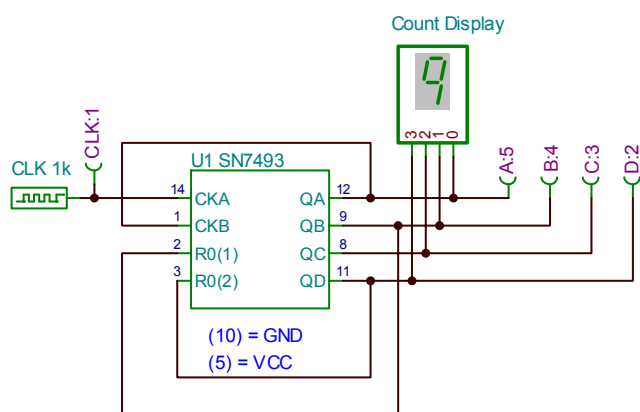
Εικόνα 3. Δυαδικός μετρητής MOD-16.



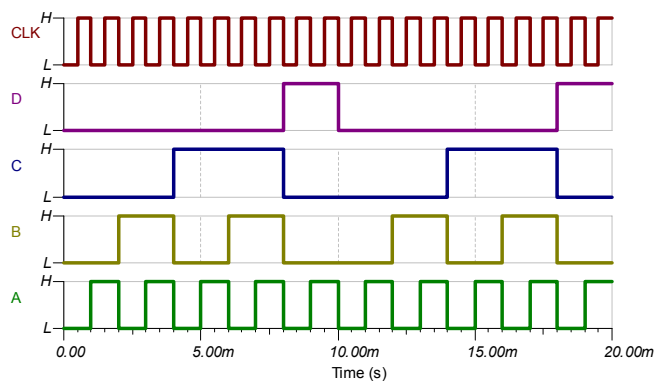
Εικόνα 4. Διάγραμμα χρονισμού μετρητή MOD-16.

3. Δεκαδικός μετρητής MOD-10

Εξηγήστε τη διαδικασία μέτρησης της επόμενης συνδεσμολογίας με βάση το διάγραμμα χρονισμού που ακολουθεί. (Εικόνα 5 και Εικόνα 6)



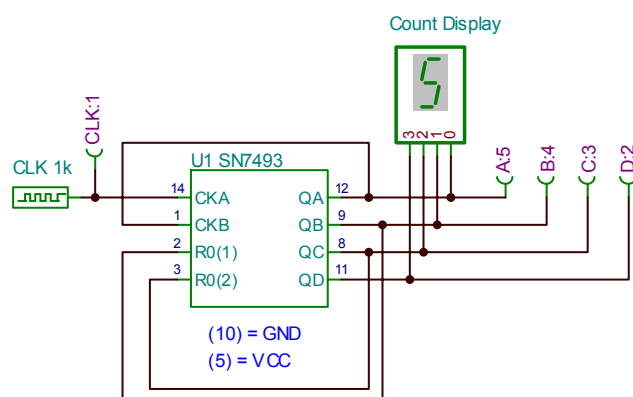
Εικόνα 5. Δεκαδικός μετρητής MOD-10.



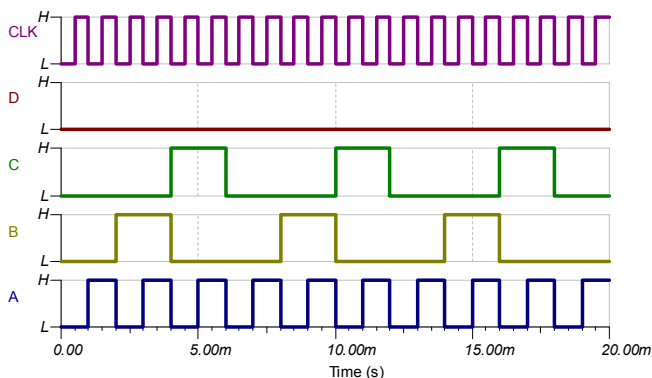
Εικόνα 6. Διάγραμμα χρονισμού μετρητή MOD-10.

4. Μετρητής MOD-6

Εξηγήστε τη διαδικασία μέτρησης της επόμενης συνδεσμολογίας με βάση το διάγραμμα χρονισμού που ακολουθεί. (Εικόνα 7 και Εικόνα 8)



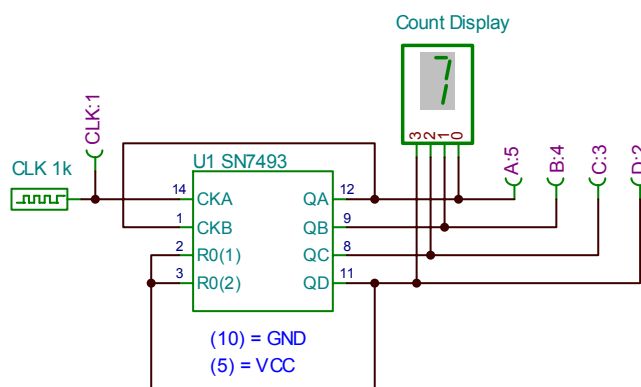
Εικόνα 7. Μετρητής MOD-6.



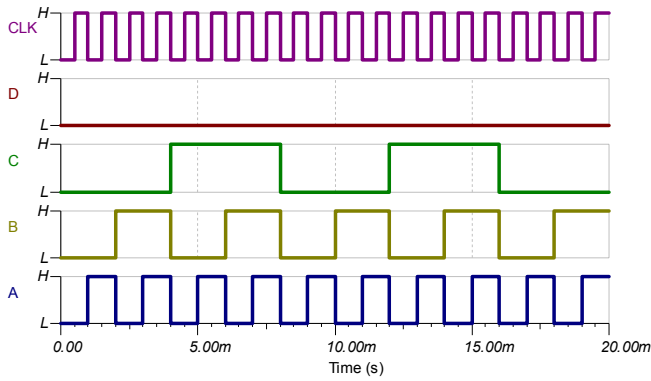
Εικόνα 8. Διάγραμμα χρονισμού μετρητή MOD-6.

5. Μετρητής MOD-8

Εξηγήστε τη διαδικασία μέτρησης της επόμενης συνδεσμολογίας με βάση το διάγραμμα χρονισμού που ακολουθεί. (Εικόνα 9 και Εικόνα 10)



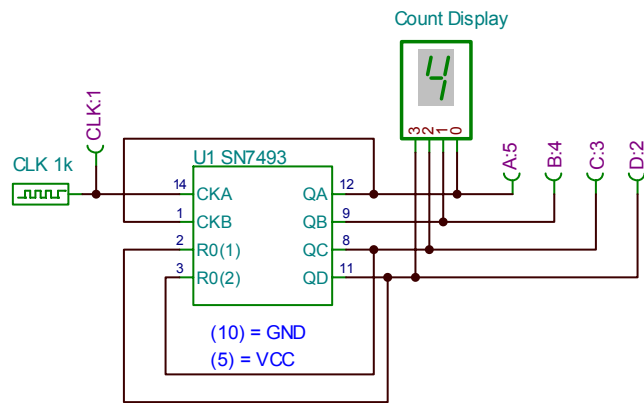
Εικόνα 9. Μετρητής MOD-8.



Εικόνα 10. Διάγραμμα χρονισμού μετρητή MOD-8.

6. Μετρητής MOD-12

Εξηγήστε τη διαδικασία μέτρησης της επόμενης συνδεσμολογίας με βάση το διάγραμμα χρονισμού που ακολουθεί. (Εικόνα 11 και Εικόνα 12)



Εικόνα 11. Μετρητής MOD-12.

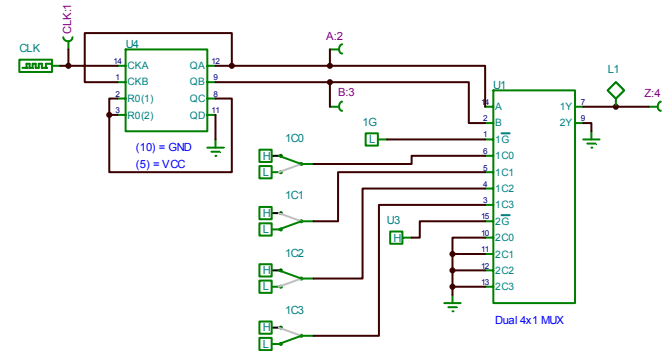


Εικόνα 12. Διάγραμμα χρονισμού μετρητή MOD-12.

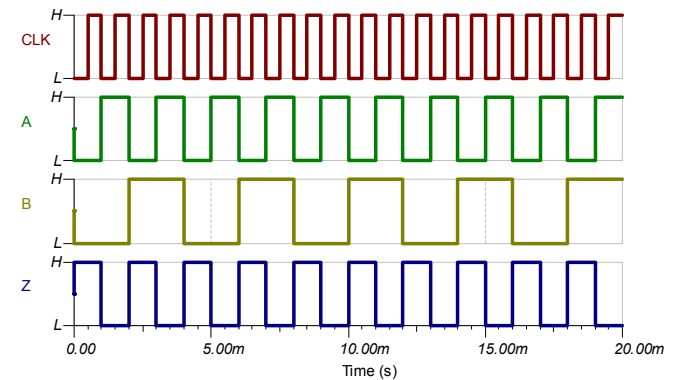
7. Μετατροπή παράλληλων δεδομένων σε σειριακά

Αν στις γραμμές ελέγχου ενός πολυπλέκτη, συνδέσουμε έναν δυαδικό μετρητή, τότε οι εισοδοι εμφανίζονται διαδοχικά στην έξοδο (ένα ψηφίο με κάθε παλμό ρολογιού).

Εξηγήστε τη διαδικασία μέτρησης της επόμενης συνδεσμολογίας με βάση το διάγραμμα χρονισμού που ακολουθεί. (Εικόνα 13 και Εικόνα 14)



Εικόνα 13. Αν στις γραμμές ελέγχου ενός πολυπλέκτη, συνδέσουμε έναν δυαδικό μετρητή, τότε οι εισοδοι εμφανίζονται διαδοχικά στην έξοδο (ένα ψηφίο με κάθε παλμό ρολογιού).



Εικόνα 14. Διάγραμμα χρονισμού προσομοίωσης κυκλώματος Εικόνας 13.