

7ο ΕΡΓΑΣΤΗΡΙΟ

1. Βασικές πύλες λογικής

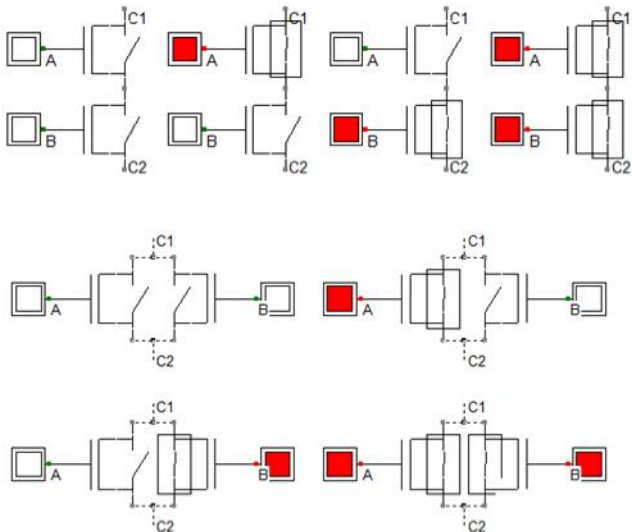
Όνομασία	Σύμβολο	Εξίσωση λογικής
INVERTER		$out = \sim in;$
AND		$out = a \& b;$
NAND		$out = \sim (a\&b);$
OR		$out = a b;$
NOR		$out = \sim(a b);$
XOR		$out = a\wedge b;$
XNOR		$out = \sim(a\wedge b)$

2. Συνδυαστική λογική

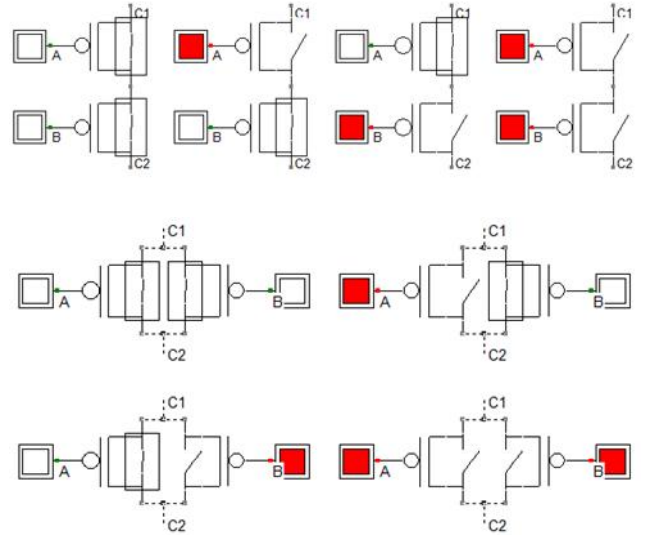
Η κατασκευή πυλών λογικής με MOS διατάξεις αφορά σύνδεση τους σε σειρά και παράλληλα.

Αν δύο nMOS συνδεθούν σε σειρά τότε υλοποιείται η πύλη AND. Μόνο όταν $A=1$ και $B=1$ ταυτόχρονα, δημιουργείται αγωγή από το C1 μέχρι το C2. $AND(A,B) = A \& B$.

Αν δύο nMOS συνδεθούν παράλληλα τότε υλοποιείται η πύλη OR. Όταν $A=1$ ή $B=1$, δημιουργείται αγωγή από το C1 μέχρι το C2. $OR(A,B) = A | B$

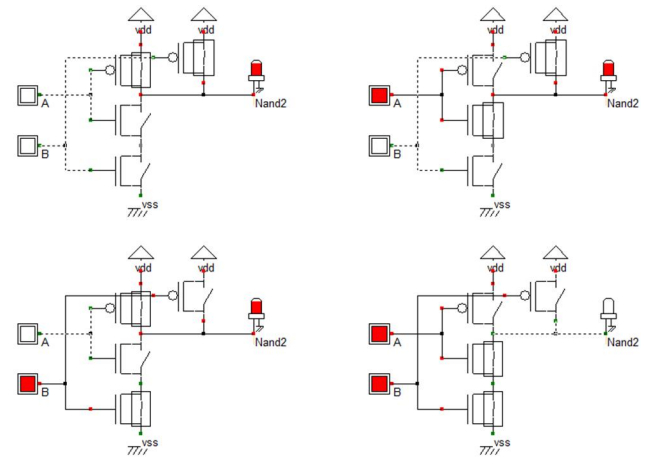


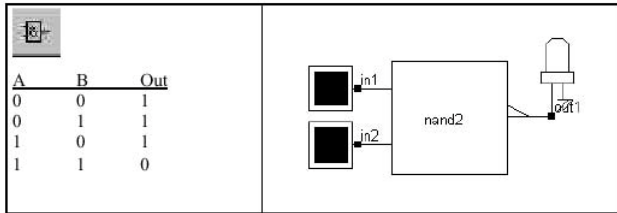
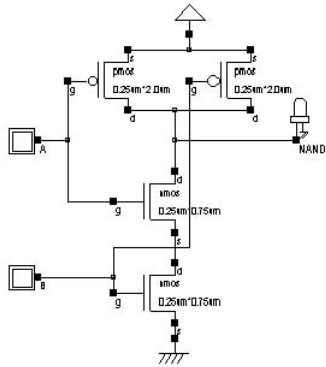
Αντίστοιχα, αν συνδέσουμε σε σειρά pMOS υλοποιείται η πράξη $A' \& B'$, ενώ αν τα συνδέσουμε παράλληλα υλοποιείται η πράξη $A' | B'$.



3. Σχεδιασμός NAND πύλης δύο εισόδων

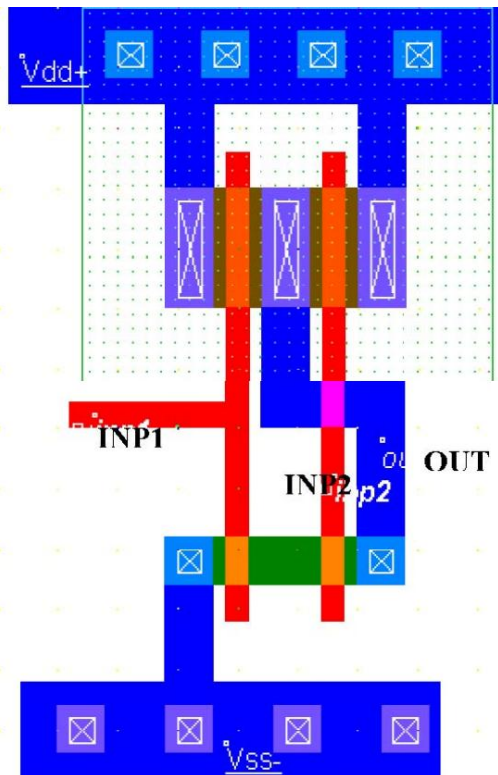
Η στατική CMOS πύλη NAND δύο εισόδων αποτελείται από δύο NMOS τρανζίστορ σε σειρά, τα οποία συνδέονται με δύο PMOS τρανζίστορ που είναι συνδεδεμένα μεταξύ τους παράλληλα. Το σχηματικό διάγραμμα μιας στατικής NAND πύλης φαίνεται παρακάτω, μαζί με τον πίνακα αληθείας της.





Βήμα 1. Ακολουθώντας τα ίδια βήματα με αυτά που εκτελέσατε κατά τη σχεδίαση του αντιστροφέα, σχεδιάστε μία πύλη NAND δύο εισόδων σε τεχνολογία **CMOS 0.18μm**, με ελάχιστα NMOS τρανζίστορ και λόγο WPMOS/WNMOS=3.

Ο φυσικός σχεδιασμός (layout) της πύλης φαίνεται στο παρακάτω σχήμα.

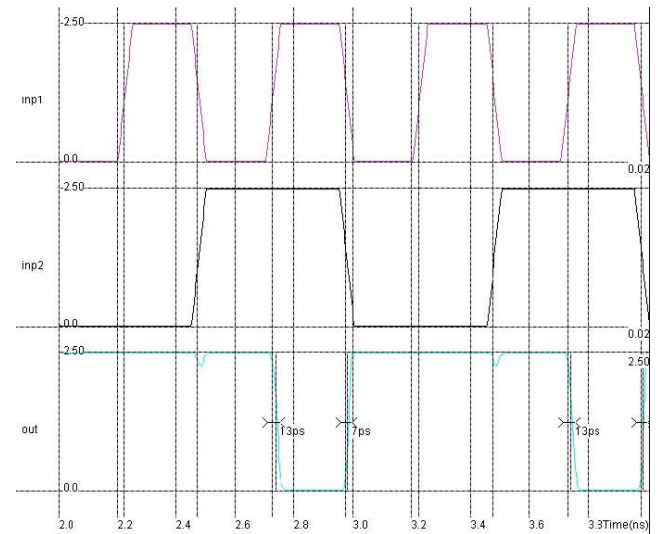


4. Εξομοίωση της πύλης

Βήμα 1. Εφαρμόστε κατάλληλους παλμούς στις εισόδους της πύλης ώστε να επαληθεύσετε ολόκληρο τον πίνακα αλήθειας χωρίς φορτίο στην έξοδο. Οι χρονισμοί των εισόδων προκύπτουν από τις κυματομορφές του παρακάτω σχήματος ($t_r=t_f=0.05\text{nsec}$).

Βήμα 2. Στα διαγράμματα διακρίνονται οι καθυστερήσεις ανόδου και καθόδου ως προς την είσοδο **a**.

Βήμα 3. Αλλάξτε το πλάτος των NMOS τρανζίστορς ώστε η διαφορά στο χρόνο ανόδου και καθόδου της εξόδου να γίνει μικρότερη από 10%.



Βήμα 4. Μετρήστε τις καθυστερήσεις ως προς την είσοδο **b**, αλλάζοντας με τη βοήθεια του mouse το “Start node” αντικείμενο του παραθύρου της εξομοίωσης από τον κόμβο **a** στον κόμβο **b**.

Βήμα 5. Καταγράψτε σε πίνακα τις καθυστερήσεις για όλους τους συνδυασμούς αλλαγών των εισόδων.

Βήμα 6. Επαναλάβετε τα βήματα 2 και 3 για φορτίο εξόδου 50 fF και αλλάξτε το μέγεθος των τρανζίστορς ώστε η πύλη να παρουσιάζει στη χειρότερη περίπτωση καθυστέρηση 40ps ($\pm 5\%$).

3. Παραμετρική ανάλυση της πύλης NAND

Βήμα 1. Μετά το τέλος της εξομοίωσης να κάνετε παραμετρική ανάλυση του κυκλώματος της NAND πύλης δύο εισόδων:

Α) Για την καθυστέρηση ανόδου της εξόδου σε σχέση με τις εισόδους, θεωρώντας ότι η τάση VDD κυμαίνεται από 0 έως 3.5 Volts (βήμα 0.5 Volts).

B) Για την κατανάλωση ισχύος θεωρώντας ότι η χωρητικότητα της εξόδου κυμαίνεται από 0.00 έως 300 fF (με βήμα 30 fF).

ΠΡΟΣΟΧΗ στην περίοδο των σημάτων εισόδου. Πρέπει να είναι τέτοια ώστε για τη μεγαλύτερη χωρητικότητα να γίνεται πλήρης φόρτιση-εκφόρτιση του φορτίου εξόδου